

= US 4,718,977

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Offenlegungsschrift
⑪ DE 3544539 A1

⑤1 Int. Cl. 4:
H01L 23/52
H 01 L 21/90

②1 Aktenzeichen: P 35 44 539.4
②2 Anmeldetag: 17. 12. 85
④3 Offenlegungstag: 3. 7. 86

Behördeneigentum

DE 3544539 A1

③0 Unionspriorität: ③2 ③3 ③1
20.12.84 IT 24139 A/84

⑦1 Anmelder:
SGS Microelettronica S.p.A., Catania, IT

⑦4 Vertreter:
Eisenführ, G., Dipl.-Ing.; Speiser, D., Dipl.-Ing.;
Rabus, W., Dr.-Ing.; Ninnemann, D., Dipl.-Ing.;
Brügge, J., Dipl.-Ing., Pat.-Anw., 2800 Bremen

⑦2 Erfinder:
Contiero, Claudi, Buccinasco, Mailand/Milano, IT;
Iannuzzi, Giulio, Vimercate, Mailand/Milano, IT;
Santi, Giorgio de, Mailand/Milano, IT; Andreani,
Fabrizio, Parma, IT

⑤4 Halbleiteranordnung mit Metallisierungsbahnen verschiedener Stärke sowie Verfahren zu deren Herstellung

Die Erfindung betrifft eine Halbleiteranordnung mit verschiedenen Metallisierungstärken an verschiedenen Bereichen der Oberfläche der Anordnung, insbesondere mit einem dünnen Metallisierungsmuster über einem Teil der Schaltung mit einem komplexen Aufbau und mit einem dickeren Metallisierungsmuster über einem Leistungsteil der Schaltung mit einem verhältnismäßig einfachen Muster. Gemäß einer Ausführungsform sind drei Metallisierungsschichten (8, 10, 12) auf der Halbleiteranordnung vorgesehen, und es werden zwei Ätzschritte durchgeführt, um die beiden Metallisierungsmuster zu erhalten. In einer zweiten Ausführungsform, die für eine dickere Metallisierung geeignet ist, wird zunächst eine Metallisierungsschicht aufgebracht, daraufhin folgt ein Ätzschritt und ein weiteres Aufbringen von zwei Metallisierungsschichten, gefolgt durch einen entsprechenden Ätzschritt. Auf diese Weise werden die Kosten bei der Herstellung niedrig gehalten.

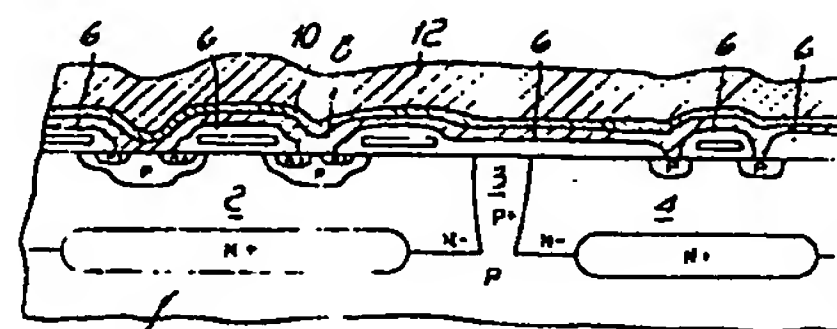


Fig. 1

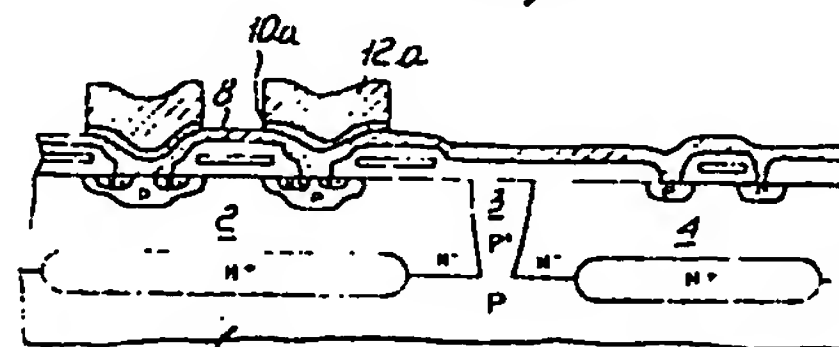


Fig. 2

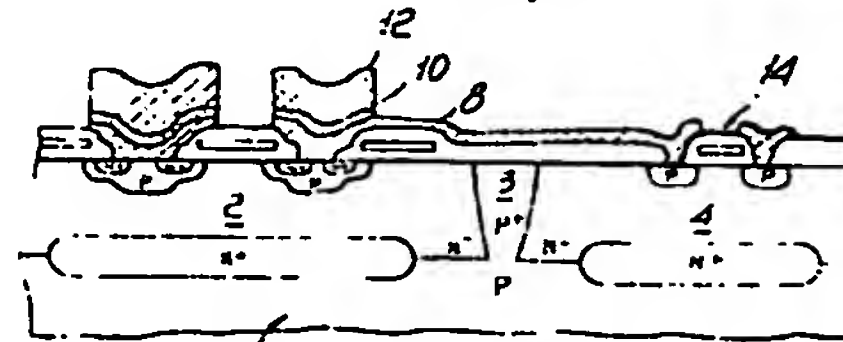


Fig. 3

DE 3544539 A1

Unser Zeichen: S 1071

Anmelder / Inh.: SGS

Aktenzeichen: Neuanmeldung

Datum: 16. Dezember 1985

Patentanwälte

Dipl.-Ing. Günther Eisenführ

Dipl.-Ing. Dieter K. Speiser

Dr.-Ing. Werner W. Rahus

Dipl.-Ing. Detlef Ninnemann

Dipl.-Ing. Jürgen Brügge

SGS MICROELETTRONICI S.p.A.,
Strada Primosole 50, Catania, Italien

Halbleiteranordnung mit Metallisierungsbahnen ver-
schiedener Stärke sowie Verfahren zu deren Herstellung

A n s p r ü c h e

1. Metallisierungsmuster für eine Halbleiteranordnung,
dadurch gekennzeichnet, daß drei Metallschichten (8,
10, 12; 16, 18, 20) vorgesehen sind und daß ein erstes
Metallisierungsmuster alle drei Schichten (8, 10, 12;
16, 18, 20) und ein zweites Metallisierungsmuster nur
eine (8; 16) der drei Metallschichten enthält.

2. Metallisierungsmuster nach Anspruch 1,
dadurch gekennzeichnet, daß die drei Metallschichten
aus zwei Aluminium enthaltenden Schichten (8, 12; 16,
20) bestehen, die durch eine Titan enthaltende Schicht
(10; 18) voneinander getrennt sind.

BAD ORIGINAL

JB/sg

Martinstraße 24
D-2800 Bremen 1

Telefon
0421-328037

Telecopierer
0421-326834

Telex
244020 fepat d

Datex-P
44421040311

3. Metallisierungsmuster nach Anspruch 2, dadurch gekennzeichnet, daß eine (12, 20) der beiden Aluminium enthaltenden Schichten wesentlich dicker als die andere (8; 16) ist.
4. Metallisierungsmuster nach Anspruch 1, dadurch gekennzeichnet, daß das zweite Metallisierungsmuster eine feinere Geometrie aufweist als das erste Metallisierungsmuster.
5. Metallisierungsmuster nach Anspruch 1, dadurch gekennzeichnet, daß das zweite Metallisierungsmuster an die Schaltungsteile mit niedrigem Pegel und das erste Metallisierungsmuster an mindestens ein Leistungsteil angeschlossen ist.
6. Halbleiteranordnung mit einem Metallisierungsverbindungsmuster nach einem oder mehreren der vorstehenden Ansprüche, dadurch gekennzeichnet, daß das Metallisierungsverbindungsmuster drei übereinanderliegende Metallschichten (8, 10, 12; 16, 18, 20) enthält, von denen zumindest die mittlere (10; 18) der Schichten anders zusammengesetzt ist als die anderen beiden Schichten (8, 12; 16, 20).
7. Verfahren zum Herstellen von mindestens zwei Schichtstärken von Metallisierungsmustern auf einer einzigen Halbleiteranordnung, gekennzeichnet durch das Aufbringen von drei Metallschichten auf die Anordnung, durch das Ätzen nur einer der Schichten zur Bildung eines ersten Metallmusters und durch das Ätzen aller drei Schichten zur Bildung eines zweiten Metallmusters.

BAD ORIGINAL

8. Verfahren nach Anspruch 7,
dadurch gekennzeichnet, daß der Schritt des Aufbringens
der drei Metallschichten das Aufbringen von zwei Alu-
minium enthaltenden Schichten enthält, die durch eine
Titan enthaltende Schicht voneinander getrennt sind.

9. Verfahren nach Anspruch 7,
gekennzeichnet durch Schritte in der folgenden Reihen-
folge:

Aufbringen der drei Metallschichten, Ätzen zweier der
Schichten zur Bildung des zweiten Metallmusters und
Ätzen der dritten Metallschicht zur Bildung des ersten
Metallmusters.

10. Verfahren nach Anspruch 7,
gekennzeichnet durch Schritte in der folgenden Reihen-
folge:

Aufbringen einer der drei Metallschichten, Ätzen der
Metallschicht zur Bildung des ersten Metallmusters und
Aufbringen der anderen beiden der drei Metallschichten.

B e s c h r e i b u n g

Die Erfindung bezieht sich allgemein auf Halbleiteranordnungen mit Metallisierungsbahnen verschiedener Stärke auf den einzelnen Teilen der Anordnungsoberfläche, insbesondere auf integrierte Halbleiterschaltungen mit einem dünnen Metallisierungsmuster über einem Teil der Schaltung mit einem komplexen Metallmuster sowie einem dickeren Metallmuster über einem Teil der Schaltung mit einem verhältnismäßig einfachen Metallmuster.

Bisher wurden Halbleiterbauelemente und integrierte Schaltungen im allgemeinen mit einem Metallverbindungsmuster einer einzigen, gleichmäßigen Stärke zur elektrischen Verbindung aller Komponenten auf dem Substrat versehen. Bei vielen integrierten Schaltungen sind jedoch Steuerschaltungen und Leistungsschaltungen auf dem gleichen Substrat kombiniert. Da sich die Ausmaße der Komponenten verkleinert haben und die stromführenden Anforderungen der Leistungselemente sich mit dem Stand der Technik vergrößert haben, ist es notwendig geworden, zumindest zwei Metallstärken in solchen Schaltungen vorzusehen. Über dem komplexeren Teil der Schaltung ist eine verhältnismäßig dünne Metallschicht angeordnet, insbesondere für die Steuerschaltungen. Diese verhältnismäßig dünnen Metallisierungsmuster ermöglichen die Herstellung feiner Leitungen, mit denen in dem Teil niedriger Leistung der integrierten Schaltung eine hohe Leitungsdichte erzielt werden kann. Über den Leistungsausgabeeinheiten bzw. dem Teil der integrierten Schaltung mit hohem Strom ist ein wesentlich dickeres Metallnetzwerk angeordnet. An dieser Stelle ist es

BAD ORIGINAL

weniger erforderlich, sehr feine Leitungszüge vorzusehen; es ist jedoch erforderlich, zur Minimierung der internen Spannungsabfälle dickere Leitungszüge vorzusehen, um die sonst auftretenden Leistungsverluste und eine Störung der Stromverteilung innerhalb der Leistungseinheiten zu vermeiden.

In der Vergangenheit wurden solche Metallisierungen mit zwei verschiedenen Stärken durch eine Folge von Aufbringungs- und Mustergebungsschritten durchgeführt. Zuerst wurde eine dünne Metallschicht aufgebracht, und es erfolgte eine entsprechende Formgebung, um Verbindungswege über der gesamten Schaltung herzustellen. Dann wurde eine Isolierschicht, typischerweise eine aufgedampfte, chemische Oxidschicht, über der ersten Metallschicht aufgebracht und entsprechend geformt, um diejenigen Teile der ersten Metallschicht freizulegen, die mit der dickeren Schicht in Verbindung stehen müssen. Dann wurde die dickere Metallschicht aufgebracht und geformt, damit diese nur in den gewünschten Regionen erhalten bleibt. Auf diese Weise war also eine Gesamtanzahl von drei Aufbringungsschritten und drei Formungsschritten erforderlich, um ein Metallmuster mit zwei verschiedenen Stärken zu erreichen. Dies bedeutete einen hohen Aufwand und führte zusätzlich zu anderen Problemen, wie z.B. der mechanischen Festigkeit der dickeren Metallteile über der aufgetragenen Oxidschicht.

Es hat deshalb ein Bedürfnis nach einem besseren Aufbau und einem besseren Verfahren bestanden, mit dem zumindest zwei verschiedene Metallschichtstärken in zwei oder mehr verschiedenen Teilen der Halbleiteranordnung oder integrierten Schaltung hergestellt werden können, ohne daß hierbei die verhältnismäßig hohen Kosten oder

die nachteiligen Eigenschaften der bekannten Systeme anfallen.

Der Erfindung liegt die Aufgabe zugrunde, Metallschichtmuster von mindestens zwei verschiedenen Stärken auf demselben Halbleitersubstrat bei verhältnismäßig niedrigen Kosten und ohne das Auftreten der bisher bekannten Nachteile herzustellen. Insbesondere sollen Metallschichtmuster mit mindestens zwei verschiedenen Schichtstärken auf demselben Halbleiterchip hergestellt werden, ohne daß das Aufbringen einer Isolierschicht erforderlich ist; und schließlich soll ein entsprechendes Verfahren zur Herstellung solcher Metallschichtmuster angegeben werden.

Das erfindungsgemäße Verfahren soll eine möglichst geringe Anzahl von Verfahrensschritten aufweisen, und hierbei soll insbesondere die Anzahl der Metallaufbringungsschritte zur Herstellung von mindestens zwei verschiedenen Schichtstärken reduziert werden. Das Ziel hierbei ist, einen Aufbau und ein Verfahren zum Aufbringen von Metallschichtmustern anzugeben, das mit einem einzigen Metallaufbringungsschritt auskommt.

Diese Aufgabe wird erfindungsgemäß dadurch gelöst, daß drei Metallschichten vorgesehen sind und daß ein erstes Metallisierungsmuster alle drei Schichten und ein zweites Metallisierungsmuster nur eine der drei Metallschichten enthält.

Gemäß der Erfindung wird eine Metallisierung mit drei Schichten vorgesehen, von denen zumindest die mittlere Schicht anders zusammengesetzt ist als die beiden anderen Schichten, wodurch ein Ätzen der unteren Schicht

vermieden wird, wenn die obere Schicht durch ein chemisches Ätzverfahren geformt wird.

Gemäß einer vorteilhaften Ausführungsform der Erfindung werden drei Metallschichten in einer einzigen Aufbringfolge erzeugt, während eine erste Maske benutzt wird, um die dicken Metallteile durch Ätzen durch die oberen zwei Metallschichten zu formen. Eine zweite Maske wird dann benutzt, um die dünnen Metallteile durch Formen der unteren Metallschicht zu erzeugen.

Gemäß einer weiteren vorteilhaften Ausführungsform der Erfindung wird eine Anordnung mit drei Metallschichten dadurch geschaffen, daß eine erste Metallschicht aufgebracht und geätzt wird, um ein erstes Metallisierungsmuster mit einer verhältnismäßig dünnen Schicht zu bilden. Dann werden auf die erste Schicht zwei zusätzliche Metallschichten aufgebracht, mit einer Maske versehen und geätzt, um ein zweites Metallisierungsmuster mit einer verhältnismäßig dicken Metallschicht zu formen. Die mittlere Metallschicht verhindert ein chemisches Angreifen der unteren Schicht, während das Muster in der oberen Schicht gebildet wird.

Merkmale und Vorteile der vorliegenden Erfindung gehen aus der nachfolgenden Beschreibung von Ausführungsbeispielen in Verbindung mit den beigefügten Zeichnungen hervor. Es zeigen:

Fig. 1 bis 3 Querschnitte durch eine metallisierte integrierte Schaltung gemäß einem ersten bevorzugten Verfahren der vorliegenden Erfindung und

Fig. 4 bis 6 Querschnitte durch eine metallisierte integrierte Schaltung gemäß einem zweiten Verfahren der vorliegenden Erfindung.

In Fig. 1 ist ein Schnitt durch ein Halbleitersubstrat 1 von der Seite aus zu sehen. In dieser Darstellung enthält das Halbleitersubstrat eine integrierte Schaltung, die aus isolierten N- Wannenregionen 2 und 4 besteht, die durch eine P+ Region 3 voneinander getrennt sind. Es sind verschiedene Dotier-Einbringungsverfahren bekannt, um in die obere Fläche des Substrats 1 zusätzlich dotierte Regionen in die isolierten Wannen 2 und 4 einzubringen. Im vorliegenden Beispiel enthält die Wannenregion 4 verschiedene Niedrigpegel-MOS-Ansteuer-schaltungen, während die Wannenregion 2 eine MOS-Leistungshalbleiteranordnung enthält. Eine solche Aufteilung zwischen Niedrigpegel-Schaltungen (die vorzugsweise ein sehr dichtes Metallisierungsmuster enthalten) und Leistungsschaltungen (die höhere Ströme in dem Metall führen) ist üblich in den geläufigen integrierten Schaltungen. Ein Metallmuster mit einer sehr feinen Geometrie ist erforderlich, um im Niedrigpegel-Teil der Schaltung Platz zu sparen, während die Metallteile über dem Leistungsteil der integrierten Schaltung verhältnismäßig dick sein müssen, um die entsprechenden Ströme führen zu können. Deshalb ist die Metallisierung der Halbleiteranordnung über dem Leistungsteil der integrierten Schaltung vorzugsweise dicker als über dem Niedrigpegelbereich, in dem eine dünnere Metallisierungsschicht die Bildung feinerer Formen erleichtert.

Fig. 1 zeigt die Halbleiteranordnung gemäß der vorliegenden Erfindung nach Durchführung des ersten der Ver-

fahrensschritte zur Herstellung einer Metallisierung mit verschiedenen Schichtstärken. Eine erste Schicht 8 aus niedergeschlagenem Metall besteht vorzugsweise aus einem Aluminium enthaltenden Film, der die Verbindungen zu den verschiedenen Teilen der integrierten Schaltung herstellt. Diese Schicht ist vorzugsweise 0,5 bis 1,0 μ dick, und die Aluminiumschicht 8 kann geringe Mengen anderer Elemente wie Silizium und Kupfer enthalten, um Reaktionen mit dem Halbleitersubstrat zu vermeiden und eine Elektro-Migration zu verlangsamen. Als nächstes wird eine Schicht 10 aus Titan mit einer Stärke im Bereich von 0,1 bis 0,2 μ über die erste, Aluminium enthaltende Schicht 8 aufgebracht. Zuletzt wird ein verhältnismäßig dicker, Aluminium enthaltender Film 12 über die ersten zwei Metallschichten aufgebracht. Im vorliegenden Beispiel ist die Aluminiumschicht 12 etwa 3 μ dick; sie könnte jedoch auch dicker oder dünner sein, je nach den zu führenden Strömen. Auch die Aluminium enthaltende Metallschicht 12 kann geringfügige Zusätze anderer Elemente wie Kupfer oder Silizium aus den oben angegebenen Gründen enthalten. Unter der Metallschicht 8 befindet sich eine Oxidschicht 6.

Fig. 2 zeigt die integrierte Schaltung nach Durchführung eines photolithographischen Ätzschrittes, durch den über den Niedrigpegelteilen der Schaltung 4 die gesamte Aluminium enthaltende Schicht 12 und ausgewählte Teile über dem Leistungsteil der Schaltung 2 entfernt worden sind, so daß die dicken Metallmusterregionen 12a stehengeblieben sind. Durch Auswahl eines Ätzmittels, das die Aluminium enthaltende Schicht 12 nur langsam angreift, um die Aluminium enthaltende Schicht 8 für den Formungsschritt zur Bildung des Metallisierungsmusters mit feiner Geometrie freizugeben, wird der

durch die Aluminiumregionen 12A nicht bedeckte Titanfilm 10 weggeätzt, und zwar durch ein Ätzmittel, das Aluminium kaum angreift.

Fig. 3 zeigt nun die integrierte Schaltung nach Anwendung eines photolithographischen Ätzschrittes, mit dem die Aluminium enthaltende Schicht 8 in ein Muster 14 mit verhältnismäßig feiner Geometrie über der Niederpegel-Schaltung 4 geätzt worden ist. Auf diese Weise enthält die fertige integrierte Schaltung drei Metallschichten, die so geformt sind, daß sie eine verhältnismäßig dicke Metallisierungsschicht über dem Leistungsteil der Schaltung und eine einzige Metallschicht mit einem Muster verhältnismäßig feiner Geometrie und verhältnismäßig kleiner Metallstärke über dem Niederpegelteil der integrierten Schaltung enthält. Auch wenn im vorliegenden Ausführungsbeispiel Aluminiumlegierungen und Titan benutzt wurden, so ist es selbstverständlich möglich, beliebige andere Kombinationen von Metallschichten zu verwenden, die voneinander abweichende Widerstände gegenüber den verwendeten Ätzmitteln aufweisen.

Der Aufbau und das durchgeführte Verfahren gemäß den Fig. 1 bis 3 sind sehr einfach, da alle drei Metallschichten in einem einzigen Metallaufbringschritt aufgebracht werden können und nur zwei formgebende Ätzschritte erforderlich sind. Eine wesentliche Finschränkung dieses Beispiels gemäß der vorliegenden Erfindung besteht darin, daß verhältnismäßig große Schritte auftreten, nachdem die obere Metallschicht 12 geätzt worden ist. Wenn die Photoresist-Schicht aufgebracht wird, um das Muster der unteren Metallschicht 8 zu bilden, können an den verhältnismäßig großen Stufen Brüche

aufzutreten, was zu unerwünschten Angriffen des Metallmusters über der Leistungsanordnung führen kann. In allen Fällen, in denen die obere Metallschicht 12 verhältnismäßig dick ist, sollte eine andere vorteilhafte Ausführungsform der vorliegenden Erfindung angewandt werden, wie sie nachfolgend in Verbindung mit den Fig. 4 bis 6 beschrieben wird.

Fig. 4 zeigt einen Zustand der integrierten Schaltung, bei dem eine erste, verhältnismäßig dünne Schicht 16 aus Aluminium oder einer Aluminiumlegierung über dem gesamten Wafer aufgebracht und durch Ätzen geformt worden ist, um Metallisierungsmuster über sowohl dem Leistungsteil als auch dem Niedrigpegelteil der integrierten Schaltung zu bilden. Nach diesem Formungsschritt werden eine dünne Titanschicht und eine verhältnismäßig dicke Schicht 20 aus Aluminium oder einer Aluminiumlegierung aufgebracht, wie in Fig. 5 gezeigt. Die obere Schicht 20 ist derart geformt worden, daß sie von dem Niedrigpegelteil 4 der integrierten Schaltung völlig entfernt worden ist und daß sie das gewünschte Leitungsmuster über dem Leistungsbauelement 2 bildet. Ebenso wie in der ersten Ausführungsform verhindert die Titanschicht 18, daß das Ätzmittel das darunterliegende Muster der Schicht 16 angreift. Das Titan wird dann einem Ätzmittel ausgesetzt, das Aluminium nur langsam angreift, so daß sich die endgültige, fertige Form nach Fig. 6 ergibt. Bei der zweiten Ausführungsform wurde also der Metallisierungsschritt der ersten Ausführungsform aufgespalten.

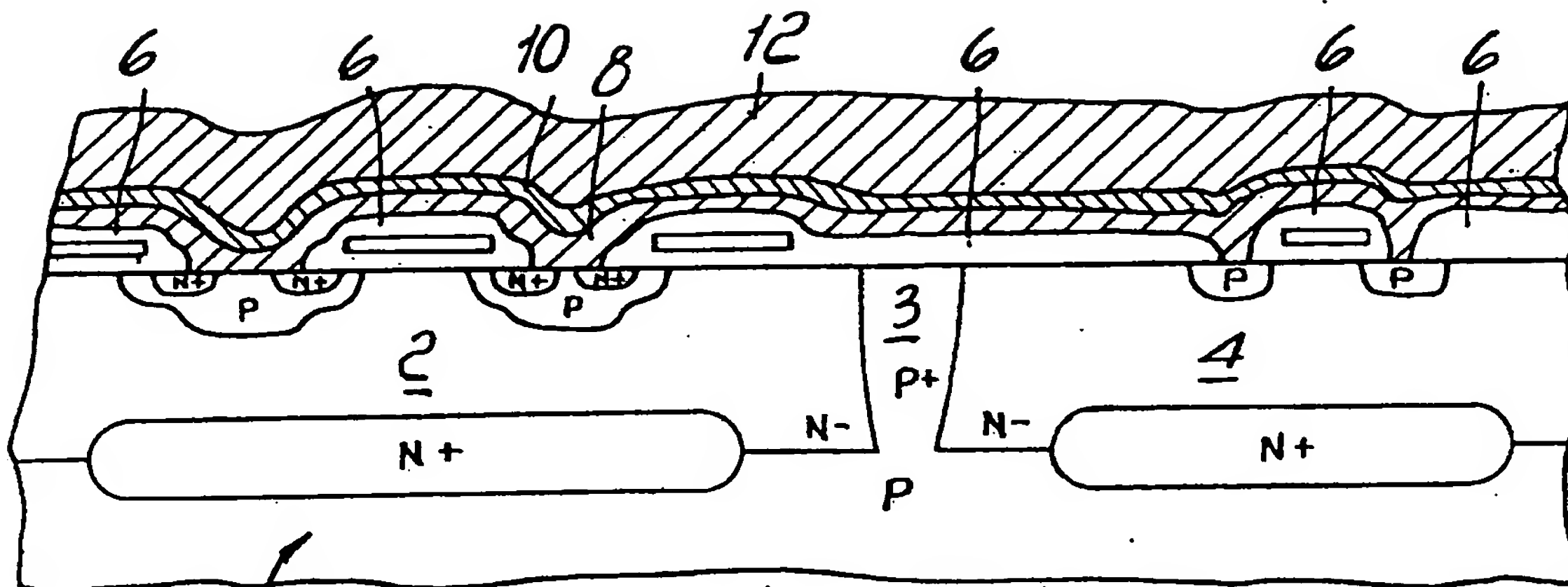


Fig. 1

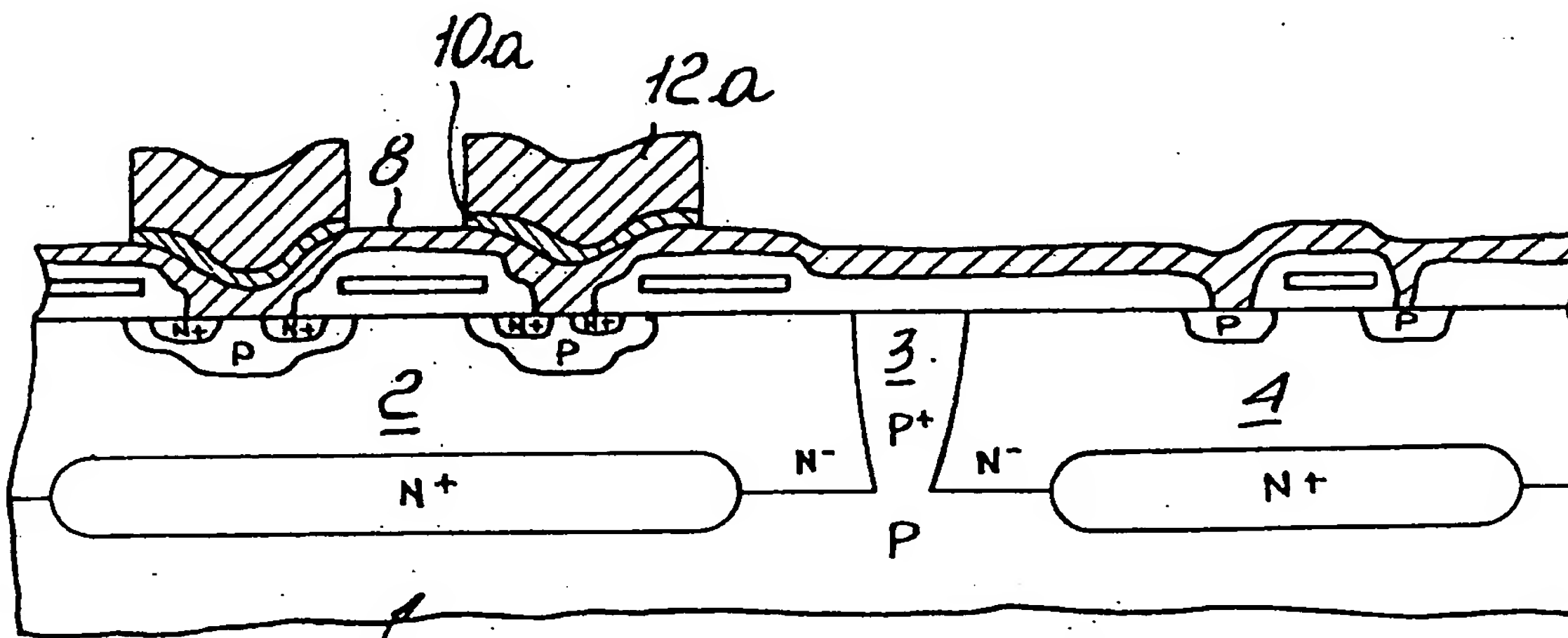


Fig. 2

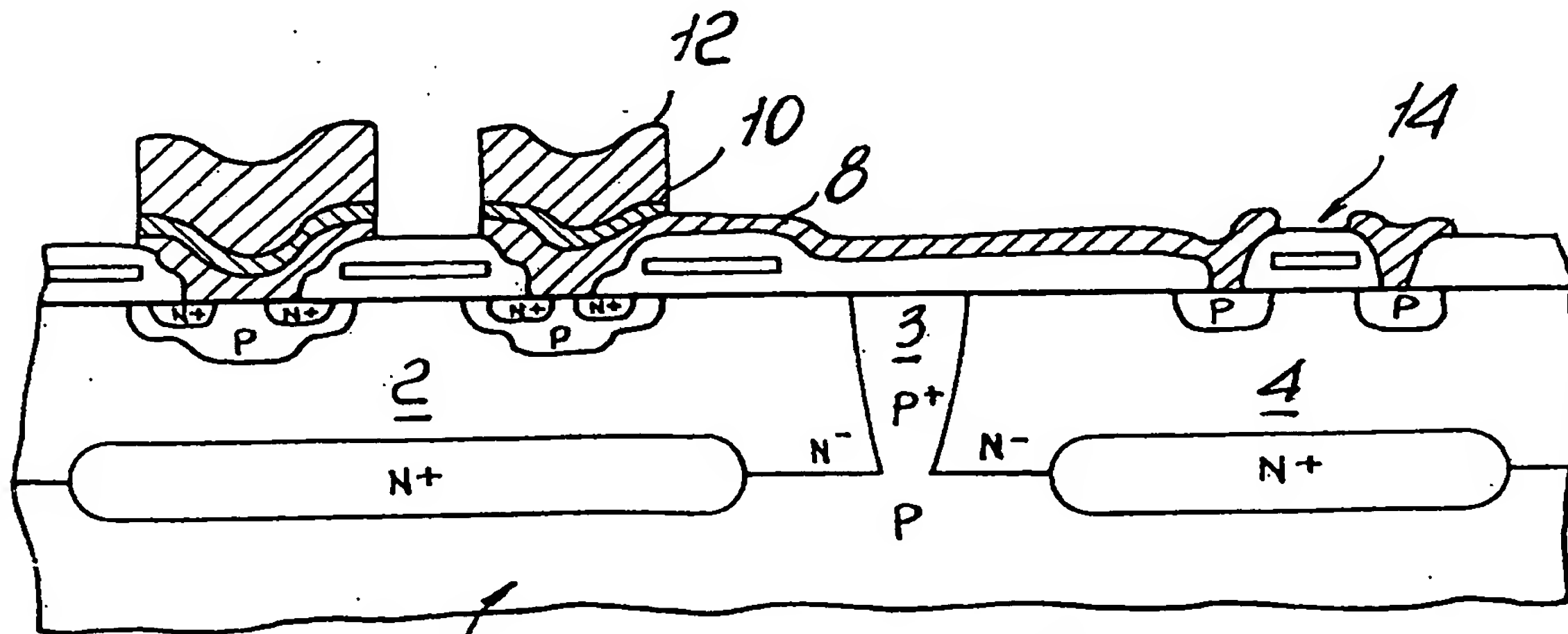


Fig. 3

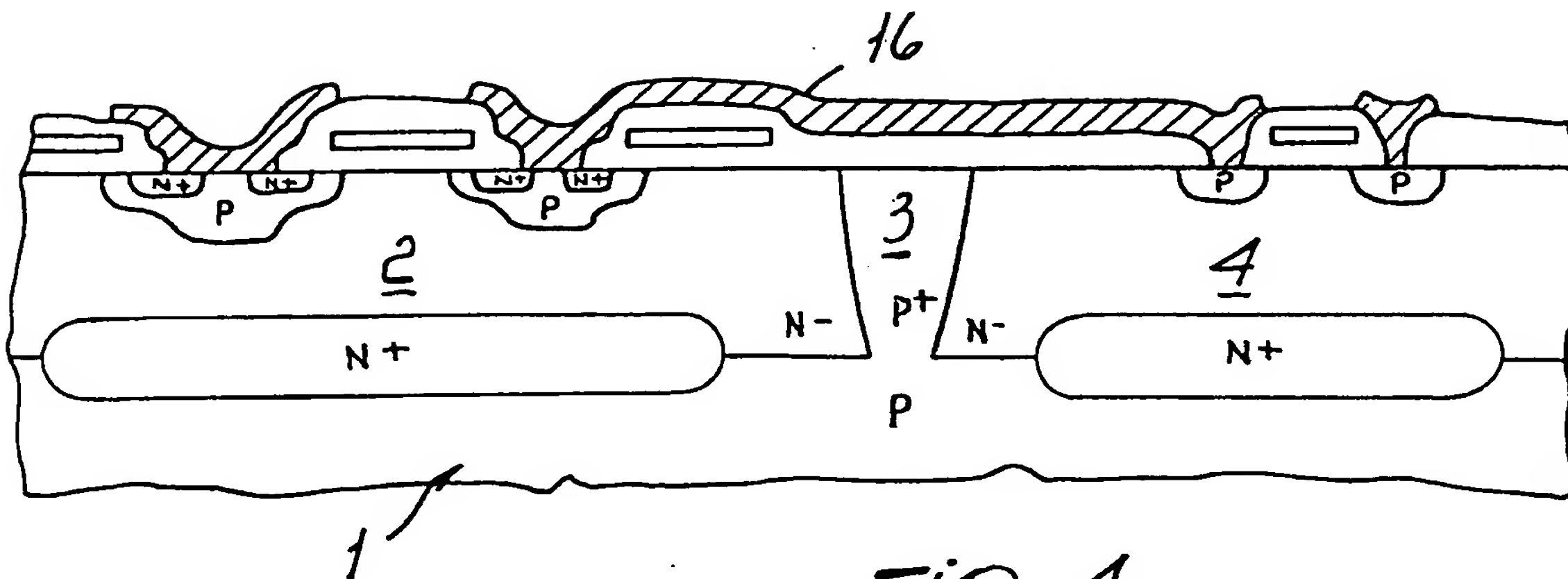


Fig. 4

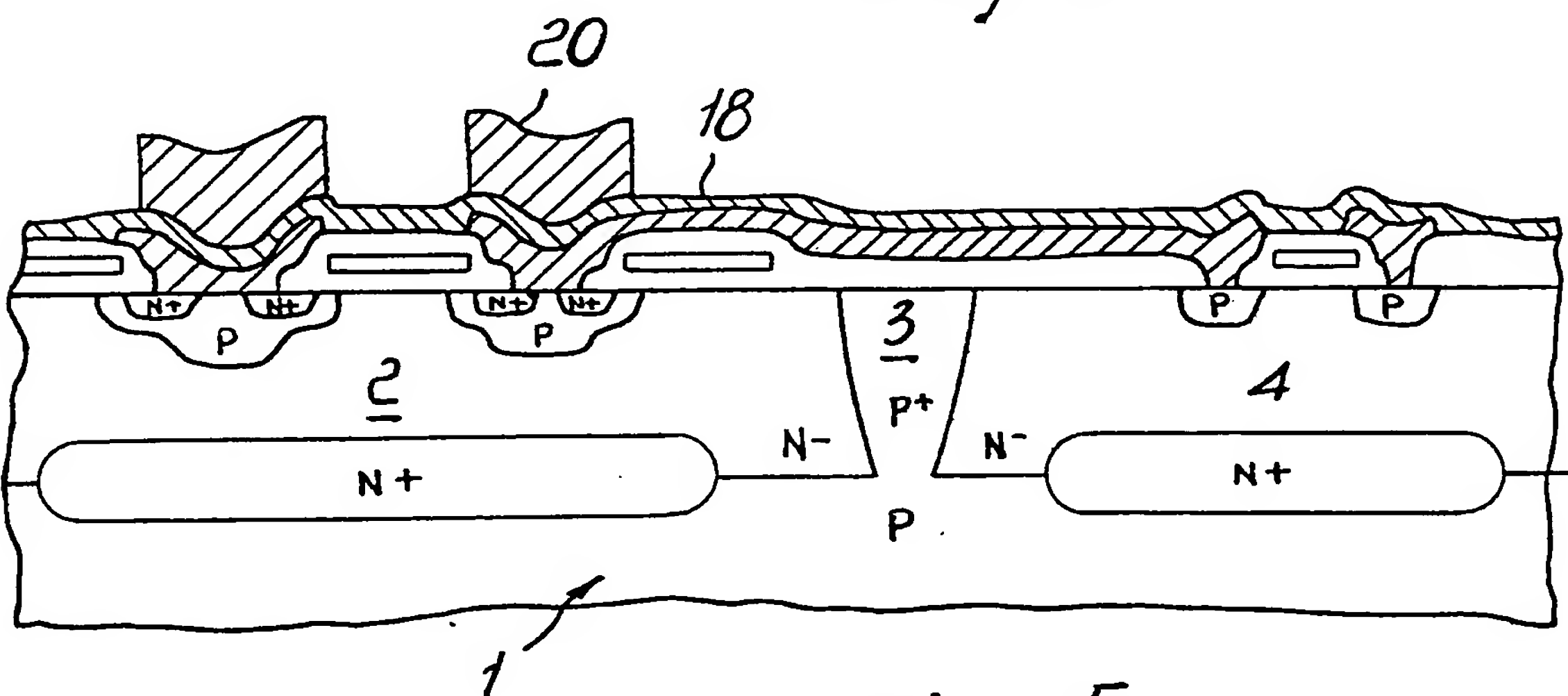


Fig. 5

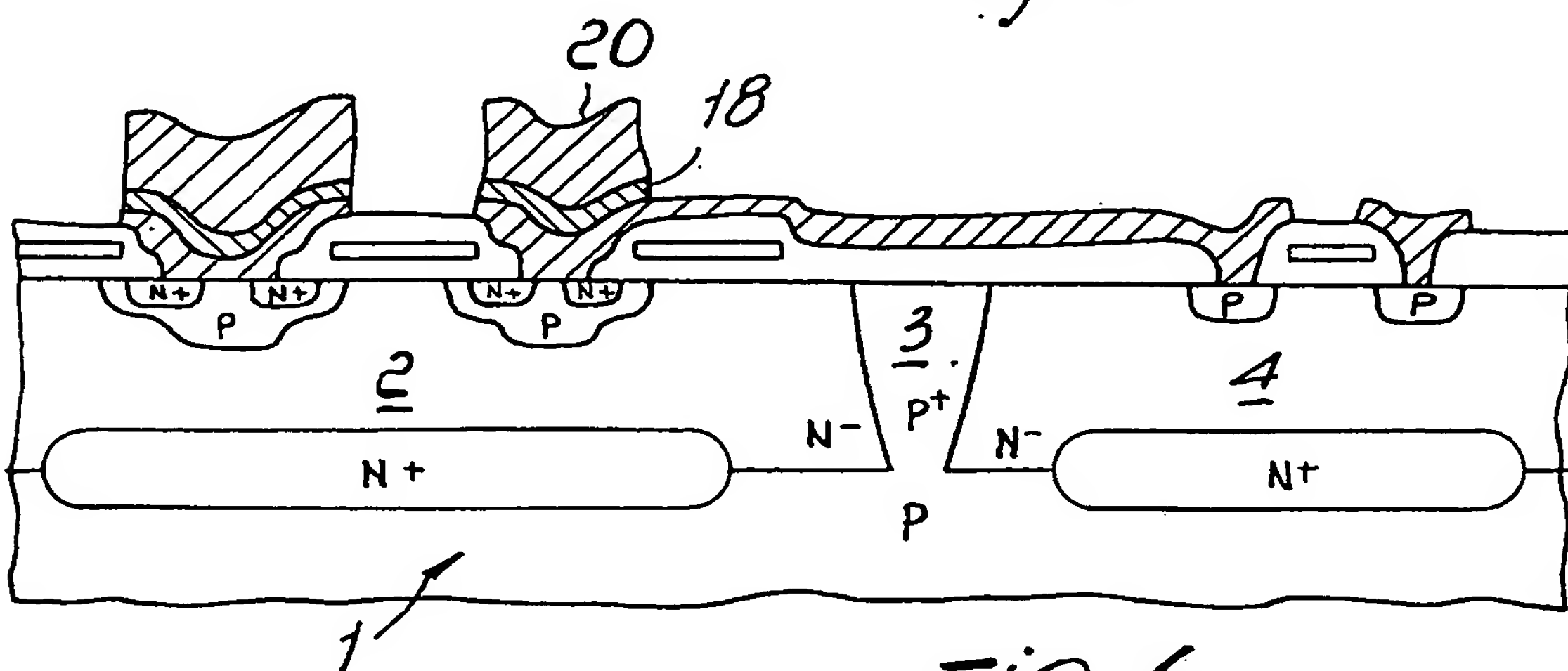


Fig. 6

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINE(S) OR MARK(S) ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☒ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.